

## Mini-Modul3 für CPL9 am LLC2

Ralph Hänsels **CPL9**<sup>1</sup> ist zwar prinzipiell ohne RAM-Disk/MODUL3<sup>2</sup> lauffähig, jedoch können die Grafikfunktionen und der 80-Zeichen-Modus nicht bzw. nur eingeschränkt verwendet werden.

CPL9 benutzt (wie CPLD 8.2) die erste 64K-Seite von Modul3 als Ersatz für den Hauptspeicher, da der Grund-RAM des LLC2 von 4000h-BFFFh als HiRes-Bildschirmspeicher verwendet wird.

**80ZEI.COM:** Die Ausgabe erfolgt per HiRes-Schirm (4000h...7FFFh oder 8000h...BFFFh).

**GRAFIK:** Grafikbefehle (Punkt setzen, Linie zeichnen, ...) benötigen für HiRes-Schirm

In beiden Fällen wird die Eigenschaft des Modul3 ausgenutzt, einen RAM-Bereich des LLC2 von 32kB (4000h...BFFFh) durch Speicher des Modul3 zu ersetzen. Mittels Ausgabebefehl an Port EDh (Modul3) kann zwischen beiden Speichern umgeschaltet werden:

<u>Modul3 aktiv</u>		<u>Modul3 inaktiv</u>	
LD	A, 20h	LD	A, 0
OUT	0EDh, A	OUT	0EDh, A

Fehlt Modul3, so bleiben die entsprechenden Umschaltbefehle wirkungslos. Der Grundspeicher des LLC2 ist damit zugleich TPA- und HiRes-Bildschirmbereich! Bildausgaben schreiben in die TPA und zerstören ggf. das Programm.

Während eine RAM-Disk bei Verwendung des GIDE entbehrlich ist, wäre jedoch die Modul3-Eigenschaft von Nutzen. Als Abhilfe entstand deshalb das „Mini-Modul3“. Es stellt nur den 32kB-Ersatzspeicher zur Verfügung und ist keine RAM-Disk!

### **Schaltungsbeschreibung/Wirkungsweise:**

Für die Realisierung der o.a. Steuerfunktion wird nur bit5 auf dem Datenbus ausgewertet. Dazu stellt ein Dekoder aus /IOSEL3 (EC...EFh) und den beiden niederwertigsten Adressbits beim Schreiben auf Adresse EDh am Ausgang /Q1 einen Impuls zur Verfügung. Nach Negation lädt dieser das 1-Bit-Steuerregister mit dem Zustand der Datenleitung DB05. Ist D05=high, dann führt der Ausgang /Q des Registers low-Pegel. Damit wird der Dekoder für die Adressierung freigegeben. Dieser reagiert auf eine Speicheranforderung im Bereich 4000h...BFFFh mit low-Pegel an /Q1 oder /Q2. Die Veroderung beider Signale aktiviert zum einen den sRAM (/CS und /OE). Zum Anderen werden über zwei Dioden der Grundspeicher des LLC2 (per /MEMDI) und ein evtl. eingeschaltetes Modul1 (per /MEMDIMOD1) ausgeblendet. Im Bereich 4000h...BFFFh wird nun der sRAM lesend/schreibend verwendet.

Wird nun das 1-Bit-Steuerregister von DB05 mit low-Pegel geladen, so sperrt der high-Pegel an seinem Ausgang /Q die Adressdekodierung. Der sRAM bleibt inaktiv, Grundspeicher und Modul1 sind freigegeben. Dieser Zustand stellt sich auch beim Einschalten und nach RESET ein.

Eine an das Steuerregister angeschlossene LED leuchtet, wenn der Speicher aus dem MiniModul3 verwendet wird.

WeRo Stand: 01/2015
------------------------

1 CPLD 8.2 von R.Scheller, modifiziert für den Einsatz ohne RAM-Disk, dafür mit GIDE-Einbindung  
siehe <http://ac1.spdns.de/LLC2/CPL9/>

2 RAM-Disk von SCCH nach dem Prinzip des Memory-Mapping



## Mini-Modul3 für CPL9 am LLC2

### Nötige Ergänzung an Modul1:

Br3 auf obere Position setzen, sodass das (bislang nicht benutzte) /MEMDI-MOD1-Signal (Signalname auf Modul1: „RAM\_DISK“) an X1/C22 gelangt. Wird der DIN32-Steckverbinder benutzt, so ist eine Drahtbrücke zu dessen C10 nachzurüsten.

